

1/7/3

DIALOG(R)File 351:Derwent WPI

(c) 2001 Derwent Info Ltd. All rts. reserv.

003462301

WPI Acc No: 1982-10931E/198206

Semiconductor device with improved electrode - comprises substrate layer of aluminium or aluminium-titanium alloy, layer of titanium-tungsten and final layer of aluminium (alloy)

Patent Assignee: FUJITSU LTD (FUIT)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 56169363	A	19811226				198206 B

Priority Applications (No Type Date): JP 8072034 A 19800529

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 56169363	A	3		

Abstract (Basic): JP 56169363 A

A semiconductor device comprises a semiconductor substrate (e.g. of Si), a first layer of Al or an Al alloy (Al-Ti alloy) formed on the surface of the substrate, a second layer of Ti-W alloy deposited on the first layer, and a third layer of Al (alloy) deposited on the second layer.

In a conventional Al-Si electrode structure, elution of Si into Al is often caused which produces high resistive portion in the electrode layer to increase the wiring resistance. The second layer of Ti-W prevents the Si elution and an improved electrode with high reliability is obtd.

Derwent Class: L03; M13

International Patent Class (Additional): H01L-021/88; H01L-029/46

?

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭56-169363

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 昭和56年(1981)12月26日

H 01 L 29/46

7638-5F

21/88

6810-5F

発明の数 1

審査請求 未請求

(全 3 頁)

⑮ 半導体装置

⑯ 発明者 倉橋敏男

川崎市中原区上小田中1015番地

富士通株式会社内

⑰ 特 願 昭55-72034

⑱ 出 願 昭55(1980)5月29日

⑲ 出 願 人 富士通株式会社

⑳ 発 明 者 小野敏彦

川崎市中原区上小田中1015番地

川崎市中原区上小田中1015番地

㉑ 代 理 人 弁理士 松岡宏四郎

富士通株式会社内

明 記 号

1 発明の名称

半導体装置

2 特許請求の範囲

半導体基体に加成された異原子領域に接するアルミニウムまたはその合金を含む第1の層と、該第1の層上に被覆されたタンタングステン合金を含む第2の層と、該第2の層上に被覆されたアルミニウムまたはその合金を含む第3の層を有することを特徴とする半導体装置。

3 発明の詳細な説明

本発明は半導体装置、特にその電極構造に関する。

従来より、半導体素子から導出する導電電極としては電導層が高く、蒸着法などによって容易に加成できるために、通常アルミニウム (Al) またはアルミニウムを主体とした合金例えばアルミニウム-銅 (Al-Cu) 合金が用いられている。

しかし、この様な Al または Al を主とした合金層からなる電極は熱処理工程によって Al 中に半導体基

体のシリコン (Si) を溶出し、層間まで付着すると Al 電極中で Si が偏析を起して、電極層中に高抵抗の Si 部分を形成し、部分的に配線抵抗を高くする。第1図はその状態を示した Al 電極の断面図で、1はシリコン基板、2は酸化シリコン (SiO₂) 膜、3は Al 電極であり、4が偏析により析出した Si 部分を示している。該 Si 部分 4 の形成は熱処理の温度と時間や雰囲気までの付着条件でその量は異なるが、Si 単結晶の基板に代って多結晶シリコンがあれば、Si の析出は多くて、Si 部分 4 も大きくなり、使用中にその箇所が高抵抗のため発熱し、断線事故を起こすこともある。又かような問題を起す複雑な現象はなくても、同じく熱処理によってシリコン基板と Al 電極との間に Al を含んだ P 型 Si 層 5 (第1図参照) を析出し、シリコン基板が N 型であれば P-N 接合ができて空乏層を作るなどして、半導体素子の特性を悪く、劣化させることになる。又、この様に Al がシリコン基板を溶解すれば深いエミッタ拡散層などは使われてエミッタ・ベース短絡不良を生じ、しかも熱処理によ

って第1方向の電圧降下値(VF)が変動し、不安定となる。

そのために、第2図に示す様に下層の第1層を白金シリサイド(Pt-Si)層6、第2層をタン・タングステン(Ti-W)合金層7、第3層をAl層8で構成したAl/Ti-W/Pt-Siの電極層を形成して、これを防いでいるが、Ti-W層7は、Pt-Si層6との接触抵抗が大きくなり、又SiO₂層2との密着性も余り良くない。又、VFは安定しているものの、その値は大きくて、且つPt-Si層の形成には何らかの処理工程が必要となり製造工程を煩雑しなければならない。

本発明は上記の様な欠点や問題点を除去した新規構造を提供することを目的とし、Alまたはその合金で形成する電極層の中間にTi-W合金層を介在せしめたことを特徴とするものである。

以下、本発明を実施例により詳細に説明すると、第3図は第1層をタン・アルミニウム(Ti-Al)合金層9、第2層をTi-W合金層10、第3層をAl/Ti-W/Ti-Al層からなる電極層の断面図を

示しており、Ti-Al合金層9は膜厚1500Å程度で金属間化合物AlTi₃の組成をもったもので、Ti-W合金層10は膜厚1500ÅでTi含有量は10~20%とし、Al層11の膜厚は1μm程度で何れも蒸着法で被着して、フォトリソプロセスを用いて上面にレジストマスクを形成し、同時にパターンニングを形成する。

この様な3層構造とすると、熱処理しても第2層のTi-W合金層でSiの溶出を防止するため、偏析現象を起して接触抵抗を高くすることはない。且つ下層の第1層をより薄い膜厚に形成すれば、熱処理によりSiを溶出する量も少なく、たとえ少しのP型Si層がシリコン基板との界面に形成されても、電極層と基板との間に完全なPN接合を形成することはない、従って接触抵抗は小さくなる。しかも上記実施例のように第1層を安定な金属間化合物などにすれば一層Siの溶出は少なく、抵抗は小さい。

第1層の膜厚は100~3000Å程度が適当であり、第1層の材質を勘案して膜厚を決定すればよく、

又第2層のTi-W合金層の膜厚も1000~3000Åとして、第1層と第3層とが接しない様な最小の膜厚とするのが要当で、上層の第3層は導電性の良い材質のものを選択する。

上記実施例はAl/Ti-W/Al合金層の一例であり、これらの変種を考慮してAl合金/Ti-W/Al合金、Al合金/Ti-W/Al、Al/Ti-W/Al₂O₃などからなる種々の3層の電極構造としてもよい。

以上、説明した様に本発明によれば導電層に接触抵抗、接合抵抗を低くして半導体素子の特性、例えばショットキバリアダイオードの順方向特性(VF)を合金層9の金属により任意に選択できかつ安定にし、素子特性を害することなく、且つSiO₂膜との密着性も良い。しかも形成工程は簡単に3層を蒸着法、同時にパターンニングして形成することができるものである。

従って本発明は半導体装置の品質向上に著しく貢献すると共に、製造コストをも低下させる効果の大きいものである。

4 図面の簡単な説明

第1図及び第2図は従来の導電層の断面図、

第3図は本発明の一実施例の断面図である。

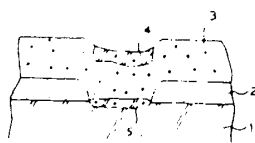
図中、

- 1はシリコン基板、
- 2は酸化シリコン膜、
- 9はタン・アルミニウム合金層、
- 10はタン・タングステン合金層、
- 11はアルミニウム層を介している。

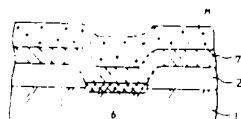
代理人 井上 昭 一 西 田 五郎

EX-115

第 1 図



第 2 図



第 3 図

